

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YONG-DEOK CHO

Application No.:

Filed:

For: **DLL CIRCUIT**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0074227	27 November 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 2/5/07

  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0074227  
Application Number

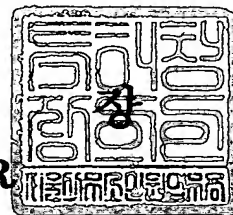
출원년월일 : 2002년 11월 27일  
Date of Application NOV 27, 2002

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      14      일

특      허      청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.27
【발명의 명칭】	지연 고정 루프 회로
【발명의 영문명칭】	DLL CIRCUIT
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	조용덕
【성명의 영문표기】	CHO, Yong Deok
【주민등록번호】	700505-1805418
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 아미리 산 136-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	309,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명의 지연 고정 루프 회로는, 퓨즈나 안티-퓨즈와 같은 물리적인 방식으로 제품을 구분하는 대신, 주파수의 각 영역에서 자동으로 DLL을 제어하여 응용 분야에 상관 없이 동작되도록 함으로써 생산이나 테스트 시 단일한 제품처럼 취급할 수 있는 지연 고정 루프 회로를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 클럭 버퍼; 상기 클럭 버퍼에서 출력한 클럭 신호를 입력받고, 분주 조정 신호에 따른 분주 수로 주파수 분주 동작을 수행하는 제1 주파수 분주기; 위상 검출기; 상기 샘플 클럭 신호 및 제2 비교 신호를 입력받고, 상기 샘플 클럭 신호 및 제2 비교 신호에 의한 판단 하에 고속 동작의 경우에는 상기 분주 조정 신호를 제2 논리 단계로 하여 출력하고, 저속 동작의 경우에는 상기 분주 조정 신호를 제1 논리 단계로 하여 출력하는 DLL 제어부; 딜레이 라인; 상기 내부 클럭 신호를 입력받고, 상기 분주 조정 신호에 따른 분주 수로 주파수 분주 동작을 수행하는 제2 주파수 분주기; 및 리플리카부를 포함한다.

**【대표도】**

도 2

**【색인어】**

클럭 신호, DLL, 위상 검출, 주파수 분주

## 【명세서】

## 【발명의 명칭】

지연 고정 루프 회로{DLL CIRCUIT}

## 【도면의 간단한 설명】

도 1은 종래의 디지털 DLL 회로를 나타낸 블록도,

도 2는 본 발명의 일 실시예에 의한 지연 고정 루프 회로를 나타낸 블록도,

도 3은 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 DLL 제어부를 나타낸 블록도,

도 4는 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 DLL 인에이블 신호 생성부를 나타낸 블록도,

도 5는 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 분주 조정부를 나타낸 블록도,

도 6은 본 발명의 일 실시예에 의한 지연 고정 루프 회로를 나타낸 타이밍도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

210 : 클럭 버퍼    220 : 제1 주파수 분주기

230 : 위상 검출기    240 : DLL 제어부

250 : 딜레이 라인    260 : 제2 주파수 분주기

270 : 리플리카부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 지연 고정 루프 회로에 관한 것으로, 특히, DLL을 사용하는 주문형 반도체(ASIC) 등 반도체 회로에 적용되어, DDR(Double Data Rate) SDRAM에서 클럭 스큐를 제거할 목적으로 사용되는 지연 고정 루프 회로에 관한 것이다.
- <13>        일반적으로, 지연 고정 루프(DLL)란 반도체메모리 장치에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 에러 없이 외부 클럭과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클럭이 내부에서 사용될 때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 클럭이 외부에서 들어오는 클럭과 동일하게 동기되도록 하기 위해서 사용한다.
- <14>        도 1은 종래의 디지털 DLL 회로를 나타낸 블록도로서, 이러한 종래의 디지털 DLL 회로는, 외부에서 유입된 클럭과 실제 내부 클럭 간의 시간 차이를 보상하고, 이러한 보상 과정에 의하여 보상 클럭(Fbclk)을 생성하는 딜레이 모델부(110); 딜레이 모델부(110)에서 출력한 보상 클럭(Fbclk)과 외부 클럭(Clock)을 비교한 후, 그에 따른 비교 신호를 생성하는 위상 검출기(120); 위상 검출기(120)에서 출력된 비교 신호에 따라 딜레이 양을 조절하는 제어 신호를 생성하는 카운터 및 디코더(130); 및 카운터 및 디코더(130)에서 출력된 제어 신호에 따라 외부 클럭(Clock)을 지연시킨 후, 딜레이 모델부(110)로 출력하는 디지털 딜레이 라인(140)을 포함한다.

<15> 그러나, 상술한 종래의 DLL 회로에 의하면, 한 제품의 DDR SDRAM을 가지고 메인 메모리나 그래픽 메모리로 사용할 때, 두 가지 응용 분야에 맞는 제품을 생산하기 위해 동일한 제품을 생산 단계나 테스트 단계에서 개별적으로 제조하여야 한다. 즉, 웨이퍼 레벨에서 퓨즈를 끊거나 패키지 레벨에서 바이닝(binning) 후 안티 퓨즈(anti-fuse)를 사용하여 두 가지 제품으로 만들어야 한다. 이 경우, 웨이퍼 레벨에서는 상당량의 일드 로스(yield loss)가 발생하며, 패키지 레벨에서는 안티-퓨즈 프로그램 시 오랜 시간이 걸릴 뿐 아니라 확실히 퓨즈가 끊겨야만 일드 로스(yield loss)가 발생하지 않는 문제점이 있다. 또한, 생산에서 판매까지 두 가지 응용으로 분리되어야 하므로, 제품 관리가 복잡하고 비용도 많이 드는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 상기 문제점을 해결하기 위하여 안출된 본 발명은, 퓨즈나 안티-퓨즈와 같은 물리적인 방식으로 제품을 구분하는 대신, 주파수의 각 영역에서 자동으로 DLL을 제어하여 응용 분야에 상관없이 동작되도록 함으로써 생산이나 테스트 시 단일한 제품처럼 취급할 수 있는 지연 고정 루프 회로를 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<17> 상기 목적을 달성하기 위하여 본 발명의 지연 고정 루프 회로는, 외부 클럭을 입력받아 일시적으로 저장한 후 출력하는 클럭 버퍼; 상기 클럭 버퍼에서 출력한 클럭 신호를 입력받고, 분주 조정 신호에 따른 분주 수로 주파수 분주 동작을 수행하는 제1 주파

수 분주기; 보상 클럭 신호 및 상기 제1 주파수 분주기의 출력 신호를 입력받아 두 신호의 위상 차를 검출하고, 그 결과에 따라 딜레이 단계를 결정하는 제1 비교 신호 및 제2 비교 신호를 생성하며, 상기 제2 비교 신호를 샘플링하기 위한 샘플 클럭 신호를 생성하는 위상 검출기; 상기 샘플 클럭 신호 및 제2 비교 신호를 입력받고, 상기 샘플 클럭 신호 및 제2 비교 신호에 의한 판단 하에 고속 동작의 경우에는 상기 분주 조정 신호를 제2 논리 단계로 하여 출력하고, 저속 동작의 경우에는 상기 분주 조정 신호를 제1 논리 단계로 하여 출력하는 DLL 제어부; 상기 클럭 버퍼로부터 클럭 신호를 입력받고, 상기 제1 비교 신호 및 제2 비교 신호를 입력받으며, 상기 클럭 신호를 상기 제1 비교 신호 및 제2 비교 신호에 따라 오른쪽 또는 왼쪽으로 시프트한 후, 내부 클럭 신호로서 출력하는 딜레이 라인; 상기 내부 클럭 신호를 입력받고, 상기 분주 조정 신호에 따른 분주수로 주파수 분주 동작을 수행하는 제2 주파수 분주기; 및 상기 내부 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭 간의 시간 차이를 보상하고, 이러한 보상 과정에 의하여 상기 보상 클럭 신호를 생성하여 상기 위상 검출기로 출력하는 리플리카부를 포함한다.

<18> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

<19> 도 2는 본 발명의 일 실시예에 의한 지연 고정 루프 회로를 나타낸 블록도로서, 이러한 본 발명의 지연 고정 루프 회로는, 클럭 버퍼(210), 제1 주파수 분주기(220), 위상



검출기(230), DLL 제어부(240), 딜레이 라인(250), 제2 주파수 분주기(260) 및 리플리카부(270)를 포함한다.

<20> 클럭 버퍼(210)는, 외부 클럭(extCLK)을 입력받아 일시적으로 저장한 후, 후술하는 제1 주파수 분주기(220), 후술하는 DLL 제어부(240) 및 후술하는 딜레이 라인(250)으로 출력하는 역할을 한다.

<21> 또한, 제1 주파수 분주기(220)는, 상기 클럭 버퍼(210)에서 출력한 클럭 신호를 입력받고, 분주 조정 신호(det\_2T)에 따른 분주 수로 주파수 분주 동작을 수행한 후, 분주된 클럭 신호를 후술하는 위상 검출기(230)로 출력하는 역할을 한다. 여기서, 상기 클럭 버퍼(210)에서 출력한 클럭 신호를 분주하는 이유는, 본 발명의 구성 장치들이 후술하는 위상 검출기(230)의 비교 신호에 의한 지연을 반영할 수 있는 시간을 가지도록 하기 위함이다.

<22> 한편, 위상 검출기(230)는, 보상 클럭 신호 및 상기 제1 주파수 분주기(220)의 출력 신호를 입력받아 두 신호의 위상 차를 검출하고, 그 결과에 따라 딜레이 단계를 결정하는 제1 비교 신호(sr\_sgn) 및 제2 비교 신호(sl\_sgn)를 생성하며, 상기 제2 비교 신호(sl\_sgn)를 샘플링하기 위한 샘플 클럭 신호(sa\_clk)를 생성하고, 상기 제1 비교 신호(sr\_sgn) 및 제2 비교 신호(sl\_sgn)를 후술하는 딜레이 라인(250)으로 출력하며, 상기 샘플 클럭 신호(sa\_clk) 및 제2 비교 신호(sl\_sgn)를 후술하는 DLL 제어부(240)로 출력하는 역할을 한다.

<23> 또한, DLL 제어부(240)는, 상기 위상 검출기(230)로부터 상기 샘플 클럭 신호(sa\_clk) 및 제2 비교 신호(sl\_sgn)를 입력받고, 상기 샘플 클럭 신호(sa\_clk) 및 제2 비교 신호(sl\_sgn)에 의한 판단 하에 고속 동작의 경우에는 상기 분주 조정 신호

(det\_2T)를 제2 논리 단계(High)로 하여 출력하고, 저속 동작의 경우에는 상기 분주 조정 신호(det\_2T)를 제1 논리 단계(Low)로 하여 출력하는 역할을 한다.

<24>        한편, 딜레이 라인(250)은, 상기 클럭 버퍼(210)로부터 클럭 신호를 입력받고, 상기 위상 검출기(230)로부터 상기 제1 비교 신호(sr\_sgn) 및 제2 비교 신호(sl\_sgn)를 입력받으며, 상기 클럭 신호를 상기 제1 비교 신호(sr\_sgn) 및 제2 비교 신호(sl\_sgn)에 따라 오른쪽 또는 왼쪽으로 시프트한 후, 내부 클럭 신호(intCLK)로서 후술하는 제2 주파수 분주기(260)로 출력하는 역할을 한다.

<25>        또한, 제2 주파수 분주기(260)는, 상기 딜레이 라인(250)에서 출력한 상기 내부 클럭 신호(intCLK)를 입력받고, 상기 분주 조정 신호(det\_2T)에 따른 분주 수로 주파수 분주 동작을 수행한 후, 분주된 클럭 신호를 후술하는 리플리카부(270)로 출력하는 역할을 한다.

<26>        한편, 리플리카부(270)는, 상기 내부 클럭 신호(intCLK)를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭 간의 시간 차이를 보상하고, 이러한 보상 과정에 의하여 상기 보상 클럭 신호를 생성하며, 상기 보상 클럭 신호를 상기 위상 검출기(230)로 출력하는 역할을 한다.

<27>        도 3은 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 DLL 제어부(240)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

- <28> 분주부(310)는, 복수개의 RT 플립플롭을 포함하고, 상기 클럭 버퍼(210)로부터 클럭 신호(clk)를 입력받으며, 외부로부터 리셋 신호(reset)를 입력받고, 상기 클럭 신호(clk)를 분주시킨 후, 후술하는 동기부(320)로 출력하는 역할을 한다.
- <29> 또한, 동기부(320)는, 복수개의 FD 플립플롭을 포함하고, 상기 클럭 버퍼(210)로부터 클럭 신호(clk)를 입력받으며, 외부로부터 리셋 신호(reset)를 입력받고, 상기 분주부(310)로부터 복수개의 분주된 클럭 신호를 입력받으며, 상기 복수개의 분주된 클럭 신호를 상기 클럭 신호(clk)의 하강 에지(falling edge)에 동기시켜 복수개의 동기 클럭 신호를 생성하고, 상기 복수개의 동기 클럭 신호 및 그 반전값을 후술하는 DLL 인에이블 신호 생성부(330)로 출력하는 역할을 한다.
- <30> 한편, DLL 인에이블 신호 생성부(330)는, 상기 동기부(320)로부터의 복수개의 동기 클럭 신호 및 그 반전값(qa2fz, qa3f, qa3fz, qa4f, qa4fz, qa5f)을 입력받아 이에 의해 복수개의 인에이블 신호 및 분주 사이클 신호(det\_cyc)를 생성하며, 상기 복수개의 인에이블 신호에 따라 지연 고정 루프의 인에이블을 제어하고, 상기 분주 사이클 신호(det\_cyc)를 후술하는 분주 조정부(340)로 출력하는 역할을 한다.
- <31> 또한, 분주 조정부(340)는, 상기 DLL 인에이블 신호 생성부(330)로부터 상기 분주 사이클 신호(det\_cyc)를 입력받고, 상기 위상 검출기(230)로부터 상기 샘플 클럭 신호(sa\_clk) 및 제2 비교 신호(sl\_sgn)를 입력받으며, 외부로부터, 상기 리셋 신호(reset) 및 테스트 모드 신호(tm\_dll)를 입력받고, 상기 제2 비교 신호(sl\_sgn)를 상기 샘플 클럭 신호(sa\_clk)에 의하여 샘플링한 후, 이에 따라 동작 속도를 판단하고, 고속 동작의 경우에는 상기 분주 조정 신호(det\_2T)를 제2 논리 단계(High)로 하여 출력하고, 저속 동작의 경우에는 상기 분주 조정 신호(det\_2T)를 제1 논리 단계(Low)로 하여 출력하는

역할을 한다. 여기서, 상기 테스트 모드 신호(tm\_dll)는, 테스트 시 상기 분주 조정 신호(det\_2T)를 임의로 조정하는 데에 사용되는 신호이다.

<32> 도 4는 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 DLL 인에이블 신호 생성부(330)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.

<33> 제1 인버터(401)는, 상기 리셋 신호(reset)를 입력받아 반전한 후, 그 결과값을 반전 리셋 신호(resetz)로서 출력하는 역할을 한다.

<34> 또한, 제1 NAND 게이트(402)는, 상기 복수개의 동기 클럭 신호 및 그 반전값 중 제2 동기 클럭 신호(qa3f)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

<35> 한편, 제2 NAND 게이트(403)는, 상기 제1 NAND 게이트(402)와 크로스 커플링되고, 상기 반전 리셋 신호(resetz)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.

<36> 또한, 제2 인버터(404)는, 상기 제2 NAND 게이트(403)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.

<37> 한편, 제3 인버터(405)는, 상기 제2 인버터(404)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 제1 인에이블 신호의 반전값(dll\_en0z)으로서 출력하는 역할을 한다.

- <38> 또한, 제4 인버터(406)는, 상기 제3 인버터(405)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 제1 인에이블 신호(d11\_en0)로서 출력하는 역할을 한다.
- <39> 한편, 제3 NAND 게이트(407)는, 상기 복수개의 동기 클럭 신호 및 그 반전값 중 제1 동기 클럭 신호의 반전값(qa2fz) 및 제2 동기 클럭 신호의 반전값(qa3fz)을 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <40> 또한, 제4 NAND 게이트(408)는, 상기 복수개의 동기 클럭 신호 및 그 반전값 중 제3 동기 클럭 신호의 반전값(qa4fz) 및 제4 동기 클럭 신호(qa5f)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <41> 한편, NOR 게이트(409)는, 상기 제3 NAND 게이트(407)의 출력 신호 및 상기 제4 NAND 게이트(408)의 출력 신호를 입력받아 NOR 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <42> 한편, 제5 NAND 게이트(410)는, 상기 NOR 게이트(409)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <43> 또한, 제6 NAND 게이트(411)는, 상기 반전 리셋 신호(resetz) 및 상기 제5 NAND 게이트(410)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <44> 한편, 제5 인버터(412)는, 상기 제6 NAND 게이트(411)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.

- <45> 또한, 제7 NAND 게이트(413)는, 상기 복수개의 동기 클럭 신호 및 그 반전값 중 제3 동기 클럭 신호(qa4f)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <46> 한편, 제8 NAND 게이트(414)는, 상기 제7 NAND 게이트(413)와 크로스 커플링되고, 상기 제5 인버터(412)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <47> 또한, 제9 NAND 게이트(415)는, 상기 복수개의 동기 클럭 신호 및 그 반전값 중 제4 동기 클럭 신호(qa5f)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <48> 한편, 제10 NAND 게이트(416)는, 상기 제9 NAND 게이트(415)와 크로스 커플링되고, 상기 반전 리셋 신호(resetz)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제5 NAND 게이트(410)로 출력하는 역할을 한다.
- <49> 또한, 제11 NAND 게이트(417)는, 상기 제8 NAND 게이트(414)의 출력 신호 및 상기 제10 NAND 게이트(416)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <50> 한편, 제6 인버터(418)는, 상기 제11 NAND 게이트(417)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <51> 또한, 제7 인버터(419)는, 상기 제6 인버터(418)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 총 인에이블 신호(d11\_en)로서 출력하는 역할을 한다.

- <52>        한편, 제8 인버터(420)는, 상기 제7 인버터(419)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <53>        또한, 제9 인버터(421)는, 상기 제8 인버터(420)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 비교 인에이블 신호(comp\_en)로서 출력하는 역할을 한다.
- <54>        한편, 제10 인버터(422)는, 상기 제9 인버터(421)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <55>        또한, 제1 지연부(423)는, 상기 제10 인버터(422)의 출력 신호를 입력받아 지연시킨 후, 출력하는 역할을 한다.
- <56>        한편, 제11 인버터(424)는, 상기 제1 지연부(423)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <57>        또한, 제12 NAND 게이트(425)는, 상기 제11 인버터(424)의 출력 신호 및 상기 제1 인에이블 신호(dll\_en0)를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <58>        한편, 제12 인버터(426)는, 상기 제12 NAND 게이트(425)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <59>        또한, 제13 인버터(427)는, 상기 제10 NAND 게이트(416)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <60>        한편, 제14 인버터(428)는, 상기 제13 인버터(427)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.

- <61> 또한, 제13 NAND 게이트(429)는, 상기 제12 인버터(426)의 출력 신호 및 상기 제14 인버터(428)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <62> 한편, 제15 인버터(430)는, 상기 제13 NAND 게이트(429)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <63> 또한, 제16 인버터(431)는, 상기 제15 인버터(430)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <64> 한편, 제17 인버터(432)는, 상기 제16 인버터(431)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 분주 사이클 신호(det\_cyc)로서 출력하는 역할을 한다.
- <65> 또한, 제18 인버터(433)는, 상기 제14 인버터(428)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 제2 인에이블 신호(d11\_en2)로서 출력하는 역할을 한다.
- <66> 도 5는 본 발명의 일 실시예에 의한 지연 고정 루프 회로 내에 장착된 분주 조정부(340)를 나타낸 블록도로서, 이에 관하여 설명하면 다음과 같다.
- <67> 제19 인버터(501)는, 상기 분주 사이클 신호(det\_cyc)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <68> 또한, 제20 인버터(502)는, 상기 제19 인버터(501)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.



- <69>        한편, 제2 지연부(503)는, 상기 제20 인버터(502)의 출력 신호를 입력받아 지연시킨 후, 출력하는 역할을 한다.
- <70>        또한, 제14 NAND 게이트(504)는, 상기 제2 지연부(503)의 출력 신호 및 상기 제20 인버터(502)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <71>        한편, 제15 NAND 게이트(505)는, 상기 제2 비교 신호(sl\_sgn) 및 상기 제20 인버터(502)의 출력 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 출력하는 역할을 한다.
- <72>        또한, 제21 인버터(506)는, 상기 제15 NAND 게이트(505)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <73>        한편, 제22 인버터(507)는, 상기 샘플 클럭 신호(sa\_clk)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <74>        또한, 제23 인버터(508)는, 상기 제22 인버터(507)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <75>        한편, 제24 인버터(509)는, 상기 제23 인버터(508)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <76>        또한, 제25 인버터(510)는, 상기 제24 인버터(509)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <77>        한편, 제1 PMOS 트랜지스터(511)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자는 상기 제14 NAND 게이트(504)의 출력 신호를 입력받는다.

- <78> 또한, 제1 NMOS 트랜지스터(512)는, 드레인 단자는 상기 제1 PMOS 트랜지스터(511)의 드레인 단자에 연결되고, 게이트 단자는 상기 제21 인버터(506)의 출력 신호를 입력받는다.
- <79> 한편, 제2 NMOS 트랜지스터(513)는, 드레인 단자는 상기 제1 NMOS 트랜지스터(512)의 소스 단자에 연결되고, 게이트 단자는 상기 제25 인버터(510)의 출력 신호를 입력받으며, 소스 단자는 접지된다.
- <80> 또한, 제26 인버터(514)는, 상기 리셋 신호(reset)를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <81> 한편, 제2 PMOS 트랜지스터(515)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자는 상기 제26 인버터(514)의 출력 신호를 입력받으며, 드레인 단자는 상기 제1 PMOS 트랜지스터(511)의 드레인 단자에 연결된다.
- <82> 또한, 제27 인버터(516)는, 입력 단자가 상기 제1 PMOS 트랜지스터(511)의 드레인 단자에 연결되고, 입력 단자를 통하여 입력된 신호를 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <83> 한편, 제28 인버터(517)는, 상기 제27 인버터(516)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 제27 인버터(516)로 출력하는 역할을 한다.
- <84> 또한, 제29 인버터(518)는, 상기 제27 인버터(516)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.

- <85> 한편, 제3 NMOS 트랜지스터(519)는, 게이트 단자는 상기 테스트 모드 신호(tm\_d11)의 입력선에 연결되고, 드레인 단자 및 소스 단자는 공통 접지되어, 커패시턴스를 제공하는 역할을 한다.
- <86> 또한, 제4 NMOS 트랜지스터(520)는, 드레인 단자는 상기 테스트 모드 신호(tm\_d11)의 입력선에 연결되고, 소스 단자는 접지된다.
- <87> 한편, 제30 인버터(521)는, 상기 테스트 모드 신호(tm\_d11)를 입력받아 반전한 후, 그 결과값을 상기 제4 NMOS 트랜지스터(520)의 게이트 단자로 출력하는 역할을 한다.
- <88> 또한, 제16 NAND 게이트(522)는, 상기 제29 인버터(518)의 출력 신호 및 상기 제30 인버터(521)의 출력 신호를 입력받아 NAND 연산한 후, 그 결과값을 출력하는 역할을 한다.
- <89> 한편, 제31 인버터(523)는, 상기 제16 NAND 게이트(522)의 출력 신호를 입력받아 반전한 후, 그 결과값을 출력하는 역할을 한다.
- <90> 또한, 제32 인버터(524)는, 상기 제31 인버터(523)의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 분주 조정 신호(det\_2T)로서 출력하는 역할을 한다.
- <91> 도 6은 본 발명의 일 실시예에 의한 지연 고정 루프 회로를 나타낸 타이밍도로서, 이를 참조하여 본 발명의 지연 고정 루프 회로의 동작에 대하여 설명하면 다음과 같다.
- <92> 분주부(310)에 클럭 버퍼(210)로부터 클럭 신호(clk)가 입력되면, 분주부(310) 내에 장착된 복수개의 RT 플립플롭에 의해 클럭 신호(clk)가 분주되는데, 이러한 과정을 통하여 클럭 신호(clk)가 절전 모드를 빠져나올 때의 비정상적인 저주파에서 정상적인

고주파로 변화하는 단계에서 초기 고정(locking)에 실패하는 경우가 발생하는 것을 방지하게 된다. 즉, 충분한 리셋 시간을 보장하기 위하여 클럭 신호(clk)를 4분주나 8분주 혹은 16분주 시킨 후 천천히 DLL을 인에이블시키게 된다. 다음에, 동기부(320)는, 복수개의 FD 플립플롭을 통하여, 분주부(310)로부터 입력받은 복수개의 분주된 클럭 신호를 클럭 신호(clk)의 하강 에지(falling edge)에 동기시켜 복수개의 동기 클럭 신호를 생성하게 된다. 이때, 클럭 신호(clk)의 하강 에지(falling edge)에 동기시키는 이유는 고주파 동작에서 펄스 폭이 작아서 첫 번째 클럭이 없어지면서 제1 주파수 분주기(220) 및 제2 주파수 분주기(260)의 계수(counting)값이 틀리게 되고, 이에 의해 위상 검출기(230)가 오동작하게 되어 DLL이 고정될 수 없는데, 이를 방지하기 위함이다.

<93> 다음에, DLL 인에이블 신호 생성부(330)에서는, 동기부(320)로부터의 복수개의 동기 클럭 신호 및 그 반전값(qa2fz, qa3f, qa3fz, qa4f, qa4fz, qa5f)을 입력받아 이에 의해 복수개의 인에이블 신호 및 분주 사이클 신호(det\_cyc)를 생성하는데, 먼저, 리셋 후 8번째 클럭의 하강 에지에서 총 인에이블 신호(dll\_en)가 활성화된다. 이러한 활성화 구간은 입력 주파수 측정 구간(DET\_CYC의 High 구간) 동안 계속되다가 비활성화된 후, 다시 2 클럭 후에 활성화된다. 이 때에는, 분주 조정 신호(det\_2T)의 논리 단계에 따라 입력되는 동작 주파수에 맞게 DLL이 고정을 수행한다. 즉, 입력 주파수 영역 측정 구간에서는 분주 조정 신호(det\_2T)의 값을 결정하며, 고정 과정이 시작된 후에는 결정된 분주 조정 신호(det\_2T)의 값에 따라 2가지 인에이블 시간을 갖게 된다.

<94> 이후에, 분주 조정부(340)에서는 그래픽 메모리와 같은 고속 동작이 요구되는 경우, 분주 조정 신호(det\_2T)가 제2 논리 단계(High)가 되도록 하여 제1 주파수 분주기(220) 및 제2 주파수 분주기(260)가 2분주에서 4분주로 전환하여 동작하도록 한다. 이때

, 위상 검출기(230)에서는 클럭 주기의 두 배로 확장된 위상 비교를 수행하므로, DLL이 정상적인 고정 과정을 수행할 수 있게 된다. 한편, 메인 메모리와 같은 저속 동작이 요구되는 경우, 클럭 주기에 의한 위상 비교가 수행되므로, 66MHz의 저주파에서도 고정 과정을 수행할 수 있게 된다. 다시 말하면, 주파수 영역 측정 시간 동안 위상 검출기(230)의 시프트 레프트(Shift Left) 신호인 제2 비교 신호(sl\_sgn)의 레벨을 샘플 클럭 신호(sa\_clk)로 샘플링한 후, 제2 비교 신호(sl\_sgn)가 제2 논리 단계(High)이면 분주 조정 신호(det\_2T)가 제2 논리 단계(High)가 되는 것이다.

<95>        이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

#### 【발명의 효과】

<96>        본 발명은, 퓨즈나 안티-퓨즈와 같은 물리적인 방식으로 제품을 구분하는 대신, 주파수의 각 영역에서 자동으로 DLL을 제어하여 응용 분야에 상관없이 동작되도록 함으로써 생산이나 테스트 시 단일한 제품처럼 취급할 수 있는 이점이 있다.

**【특허청구범위】****【청구항 1】**

외부 클럭을 입력받아 일시적으로 저장한 후 출력하는 클럭 버퍼;

상기 클럭 버퍼에서 출력한 클럭 신호를 입력받고, 분주 조정 신호에 따른 분주 수로 주파수 분주 동작을 수행하는 제1 주파수 분주기;

보상 클럭 신호 및 상기 제1 주파수 분주기의 출력 신호를 입력받아 두 신호의 위상 차를 검출하고, 그 결과에 따라 딜레이 단계를 결정하는 제1 비교 신호 및 제2 비교 신호를 생성하며, 상기 제2 비교 신호를 샘플링하기 위한 샘플 클럭 신호를 생성하는 위상 검출기;

상기 샘플 클럭 신호 및 제2 비교 신호를 입력받고, 상기 샘플 클럭 신호 및 제2 비교 신호에 의한 판단 하에 고속 동작의 경우에는 상기 분주 조정 신호를 제2 논리 단계로 하여 출력하고, 저속 동작의 경우에는 상기 분주 조정 신호를 제1 논리 단계로 하여 출력하는 DLL 제어부;

상기 클럭 버퍼로부터 클럭 신호를 입력받고, 상기 제1 비교 신호 및 제2 비교 신호를 입력받으며, 상기 클럭 신호를 상기 제1 비교 신호 및 제2 비교 신호에 따라 오른쪽 또는 왼쪽으로 시프트한 후, 내부 클럭 신호로서 출력하는 딜레이 라인;

상기 내부 클럭 신호를 입력받고, 상기 분주 조정 신호에 따른 분주 수로 주파수 분주 동작을 수행하는 제2 주파수 분주기; 및

상기 내부 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭 간의 시간 차이를 보상하고, 이러한 보상 과정에 의하여 상기 보상 클럭 신호를 생성하여 상기 위상 검출기로 출력하는 리플리카부

를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

## 【청구항 2】

제1항에 있어서, 상기 DLL 제어부는,

복수개의 RT 플립플롭을 포함하고, 상기 클럭 버퍼로부터 클럭 신호를 입력받으며, 외부로부터 리셋 신호를 입력받고, 상기 클럭 신호를 분주시키는 분주부;

복수개의 FD 플립플롭을 포함하고, 상기 클럭 버퍼로부터 클럭 신호를 입력받으며, 외부로부터 리셋 신호를 입력받고, 상기 분주부로부터 복수개의 분주된 클럭 신호를 입력받으며, 상기 복수개의 분주된 클럭 신호를 상기 클럭 신호의 하강 에지에 동기시켜 복수개의 동기 클럭 신호를 생성하는 동기부;

상기 동기부로부터의 복수개의 동기 클럭 신호 및 그 반전값을 입력받아 이에 의해 복수개의 인에이블 신호 및 분주 사이클 신호를 생성하며, 상기 복수개의 인에이블 신호에 따라 지연 고정 루프의 인에이블을 제어하는 DLL 인에이블 신호 생성부; 및

상기 분주 사이클 신호를 입력받고, 상기 샘플 클럭 신호 및 제2 비교 신호를 입력받으며, 상기 리셋 신호 및 테스트 모드 신호를 입력받고, 상기 제2 비교 신호를 상기 샘플 클럭 신호에 의하여 샘플링한 후, 이에 따라 동작 속도를 판단하고, 고속 동작의

경우에는 상기 분주 조정 신호를 제2 논리 단계로 하여 출력하고, 저속 동작의 경우에는 상기 분주 조정 신호를 제1 논리 단계로 하여 출력하는 분주 조정부를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

**【청구항 3】**

제2항에 있어서,  
상기 테스트 모드 신호는, 테스트 시 상기 분주 조정 신호를 임의로 조정하는 데에 사용되는 신호인  
것을 특징으로 하는 지연 고정 루프 회로.

**【청구항 4】**

제2항에 있어서, 상기 DLL 인에이블 신호 생성부는,  
상기 리셋 신호를 입력받아 반전한 후, 그 결과값을 반전 리셋 신호로서 출력하는 제1 인버터;  
상기 복수개의 동기 클럭 신호 및 그 반전값 중 제2 동기 클럭 신호를 입력받아 NAND 연산을 수행하는 제1 NAND 게이트;  
상기 제1 NAND 게이트와 크로스 커플링되고, 상기 반전 리셋 신호를 입력받아 NAND 연산을 수행하는 제2 NAND 게이트;  
상기 제2 NAND 게이트의 출력 신호를 입력받아 반전하는 제2 인버터;



상기 제2 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 제1 인에이블 신호의 반전값으로서 출력하는 제3 인버터;

상기 제3 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 제1 인에이블 신호로서 출력하는 제4 인버터;

상기 복수개의 동기 클럭 신호 및 그 반전값 중 제1 동기 클럭 신호의 반전값 및 제2 동기 클럭 신호의 반전값을 입력받아 NAND 연산을 수행하는 제3 NAND 게이트;

상기 복수개의 동기 클럭 신호 및 그 반전값 중 제3 동기 클럭 신호의 반전값 및 제4 동기 클럭 신호를 입력받아 NAND 연산을 수행하는 제4 NAND 게이트;

상기 제3 NAND 게이트의 출력 신호 및 상기 제4 NAND 게이트의 출력 신호를 입력받아 NOR 연산을 수행하는 NOR 게이트;

상기 NOR 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제5 NAND 게이트;

상기 반전 리셋 신호 및 상기 제5 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제6 NAND 게이트;

상기 제6 NAND 게이트의 출력 신호를 입력받아 반전하는 제5 인버터;

상기 복수개의 동기 클럭 신호 및 그 반전값 중 제3 동기 클럭 신호를 입력받아 NAND 연산을 수행하는 제7 NAND 게이트;

상기 제7 NAND 게이트와 크로스 커플링되고, 상기 제5 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제8 NAND 게이트;

상기 복수개의 동기 클럭 신호 및 그 반전값 중 제4 동기 클럭 신호를 입력받아 NAND 연산을 수행하는 제9 NAND 게이트;

상기 제9 NAND 게이트와 크로스 커플링되고, 상기 반전 리셋 신호를 입력받아 NAND 연산을 수행한 후, 그 결과값을 상기 제5 NAND 게이트로 출력하는 제10 NAND 게이트;

상기 제8 NAND 게이트의 출력 신호 및 상기 제10 NAND 게이트의 출력 신호를 입력받아 NAND 연산을 수행하는 제11 NAND 게이트;

상기 제11 NAND 게이트의 출력 신호를 입력받아 반전하는 제6 인버터;

상기 제6 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 총 인에이블 신호로서 출력하는 제7 인버터;

상기 제7 인버터의 출력 신호를 입력받아 반전하는 제8 인버터;

상기 제8 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 비교 인에이블 신호로서 출력하는 제9 인버터;

상기 제9 인버터의 출력 신호를 입력받아 반전하는 제10 인버터;

상기 제10 인버터의 출력 신호를 입력받아 지연시키는 제1 지연부;

상기 제1 지연부의 출력 신호를 입력받아 반전하는 제11 인버터;

상기 제11 인버터의 출력 신호 및 상기 제1 인에이블 신호를 입력받아 NAND 연산을 수행하는 제12 NAND 게이트;

상기 제12 NAND 게이트의 출력 신호를 입력받아 반전하는 제12 인버터;

상기 제10 NAND 게이트의 출력 신호를 입력받아 반전하는 제13 인버터;

상기 제13 인버터의 출력 신호를 입력받아 반전하는 제14 인버터;

상기 제12 인버터의 출력 신호 및 상기 제14 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제13 NAND 게이트;

상기 제13 NAND 게이트의 출력 신호를 입력받아 반전하는 제15 인버터;

상기 제15 인버터의 출력 신호를 입력받아 반전하는 제16 인버터;

상기 제16 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 분주 사이클 신호로서 출력하는 제17 인버터; 및

상기 제14 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 복수개의 인에이블 신호 중 제2 인에이블 신호로서 출력하는 제18 인버터

를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

#### 【청구항 5】

제2항에 있어서, 상기 분주 조정부는,

상기 분주 사이클 신호를 입력받아 반전하는 제19 인버터;

상기 제19 인버터의 출력 신호를 입력받아 반전하는 제20 인버터;

상기 제20 인버터의 출력 신호를 입력받아 지연시키는 제2 지연부;

상기 제2 지연부의 출력 신호 및 상기 제20 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제14 NAND 게이트;

상기 제2 비교 신호 및 상기 제20 인버터의 출력 신호를 입력받아 NAND 연산을 수행하는 제15 NAND 게이트;

상기 제15 NAND 게이트의 출력 신호를 입력받아 반전하는 제21 인버터;

상기 샘플 클럭 신호를 입력받아 반전하는 제22 인버터;

상기 제22 인버터의 출력 신호를 입력받아 반전하는 제23 인버터;

상기 제23 인버터의 출력 신호를 입력받아 반전하는 제24 인버터;

상기 제24 인버터의 출력 신호를 입력받아 반전하는 제25 인버터;

소스 단자는 전원 전압에 연결되고, 게이트 단자는 상기 제14 NAND 게이트의 출력 신호를 입력받는 제1 PMOS 트랜지스터;

드레인 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 게이트 단자는 상기 제21 인버터의 출력 신호를 입력받는 제1 NMOS 트랜지스터;

드레인 단자는 상기 제1 NMOS 트랜지스터의 소스 단자에 연결되고, 게이트 단자는 상기 제25 인버터의 출력 신호를 입력받으며, 소스 단자는 접지된 제2 NMOS 트랜지스터;

상기 리셋 신호를 입력받아 반전하는 제26 인버터;

소스 단자는 전원 전압에 연결되고, 게이트 단자는 상기 제26 인버터의 출력 신호를 입력받으며, 드레인 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결된 제2 PMOS 트랜지스터;

입력 단자가 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 입력 단자를 통하여 입력된 신호를 반전하는 제27 인버터;

상기 제27 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 제27 인버터로 출력하는 제28 인버터;

상기 제27 인버터의 출력 신호를 입력받아 반전하는 제29 인버터;

게이트 단자는 상기 테스트 모드 신호의 입력선에 연결되고, 드레인 단자 및 소스 단자는 공통 접지된 제3 NMOS 트랜지스터;

드레인 단자는 상기 테스트 모드 신호의 입력선에 연결되고, 소스 단자는 접지된 제4 NMOS 트랜지스터;

상기 테스트 모드 신호를 입력받아 반전한 후, 그 결과값을 상기 제4 NMOS 트랜지스터의 게이트 단자로 출력하는 제30 인버터;

상기 제29 인버터의 출력 신호 및 상기 제30 인버터의 출력 신호를 입력받아 NAND 연산하는 제16 NAND 게이트;

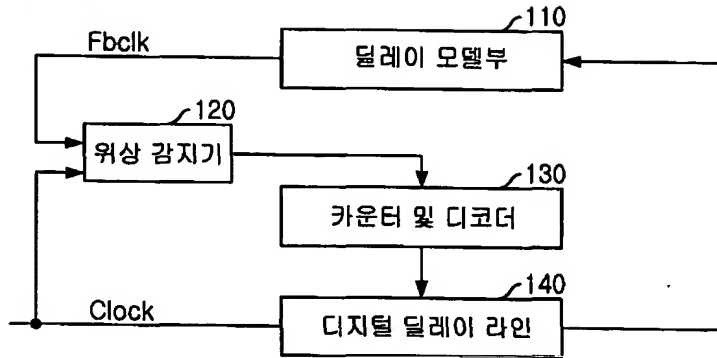
상기 제16 NAND 게이트의 출력 신호를 입력받아 반전하는 제31 인버터;

상기 제31 인버터의 출력 신호를 입력받아 반전한 후, 그 결과값을 상기 분주 조정 신호로서 출력하는 제32 인버터

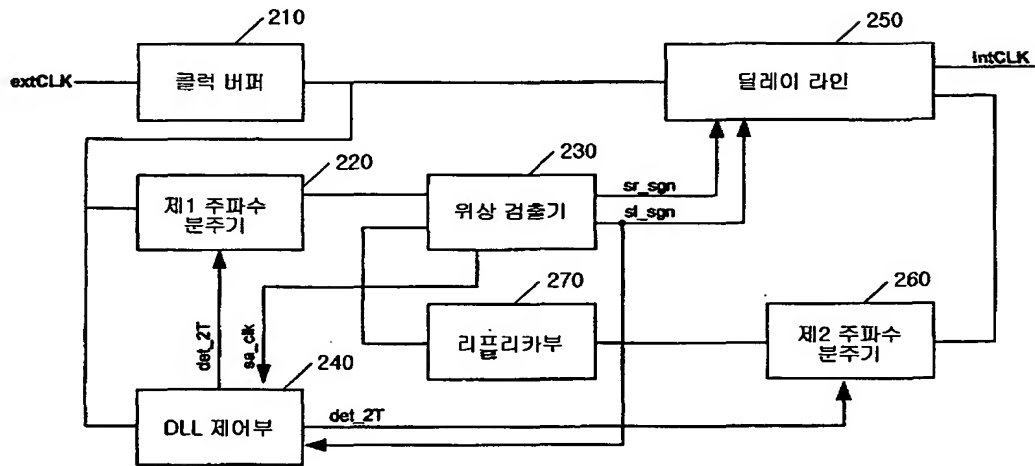
를 포함하는 것을 특징으로 하는 지연 고정 루프 회로.

【도면】

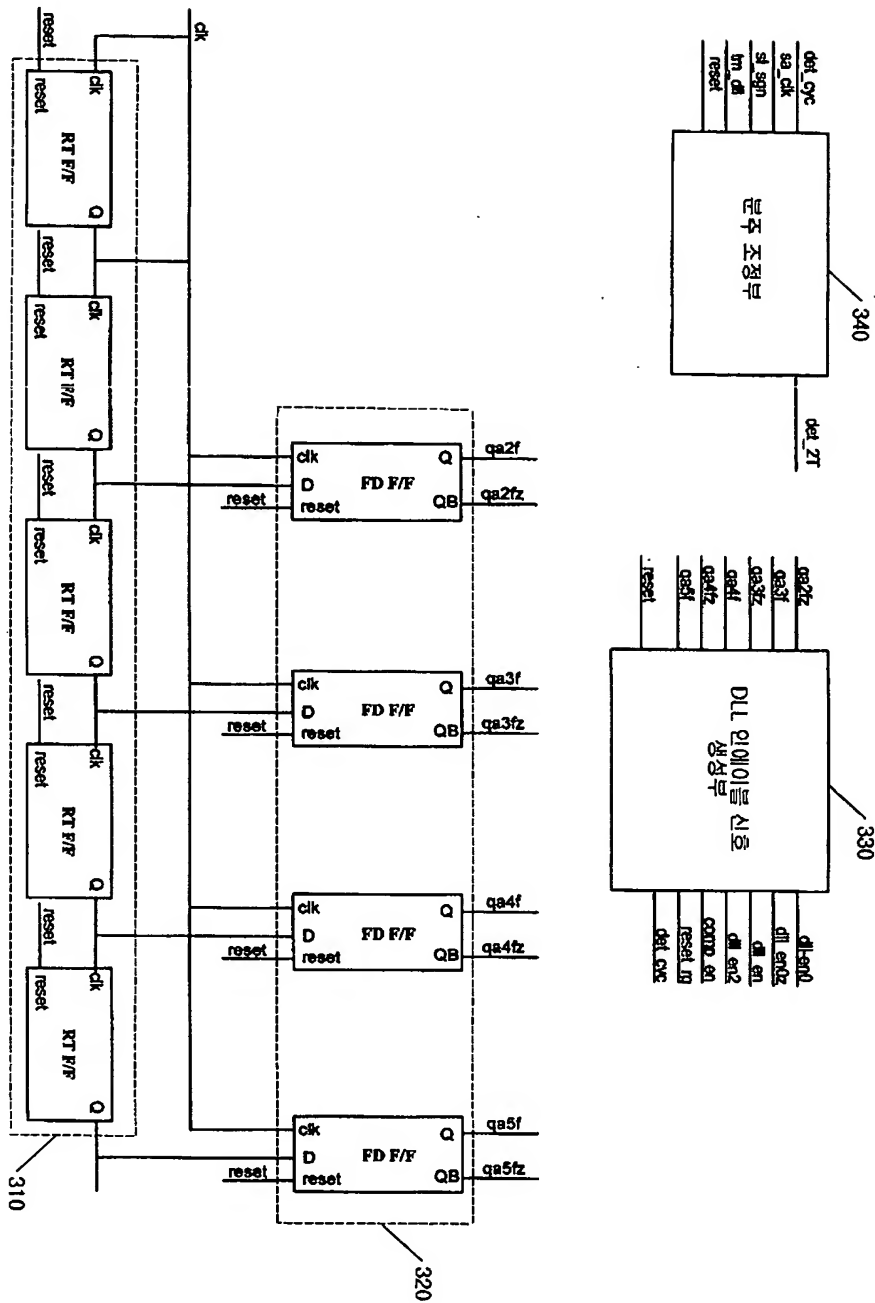
【도 1】



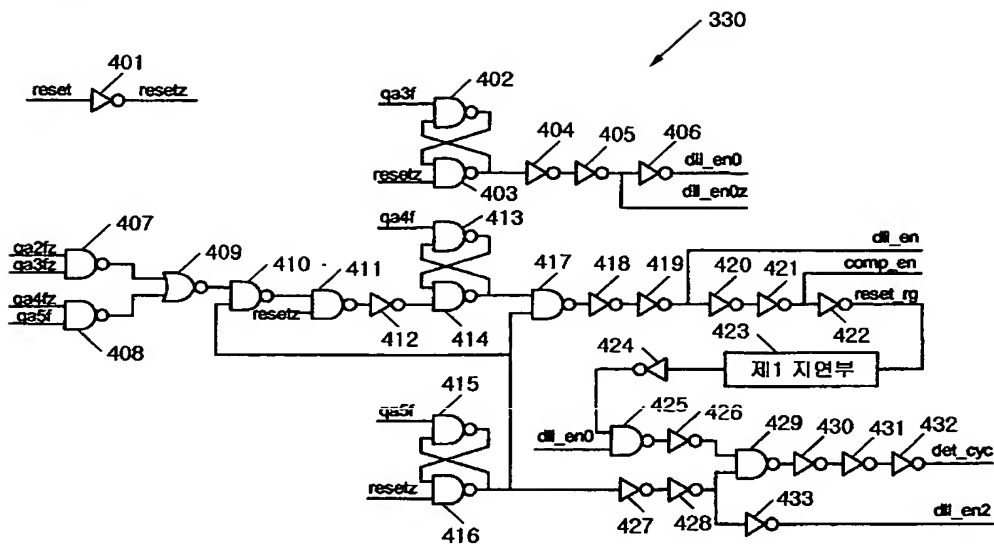
【도 2】



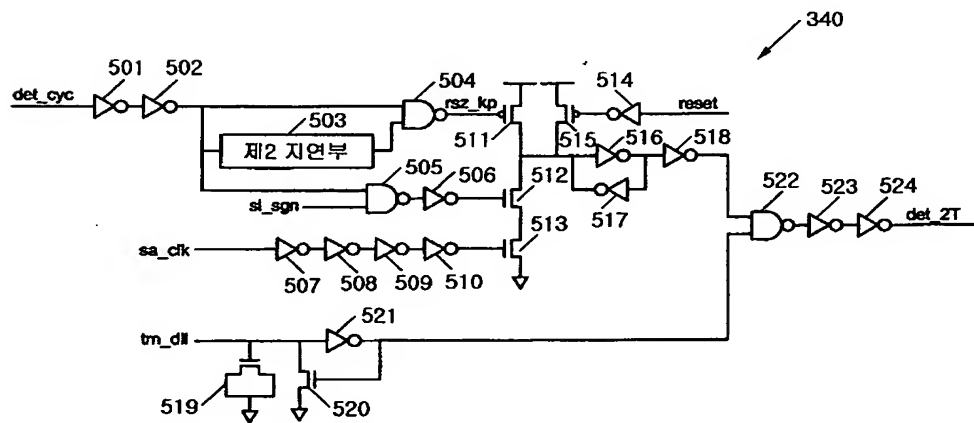
【도 3】



【도 4】



【도 5】





【도 6】

